Problemă examen CN2

Avem un procesor cu adrese pe 8 biți și o memorie cache de 8 octeți cu lungimea liniei de 2 octeți, datele fiind accesibile la nivel de octet. Timpul de acces în cazul unui hit este Thit = 56 ns și timpul de acces în cazul unui miss este Tmiss = 242 ns. Cât va dura urmatoarea secvență de cod și ce date se vor afla în cache dacă adresele din acesta sunt mapate:

1. Direct
2. Set asociativ cu 2 căi și politica de înlocuire a liniilor e FIFO
3. Full asociativ și politica de înlocuire a liniilor e LRU

load R19, [0x00]

load R21, [0x04]

load R20, [0x10]

store [0x02], R21

store [0x03], R19

load R18, [0x07]

store [0x06], R20

load R19, [0x01]

store [0x05], R18

store [0x11], R19

Ce date se vor afla în RAM la aceleași adrese (cele folosite în cod) după terminarea execuției în cele trei cazuri dacă politica de scriere în cache este **write-through**?

Se știu:

RAM[0x00] = 0;

RAM[0x01] = 1;

RAM[0x02] = 2;

RAM[0x03] = 3;

RAM[0x04] = 4;

RAM[0x05] = 5;

RAM[0x06] = 6;

RAM[0x07] = 7

RAM[0x10] = 8;

RAM[0x11] = 9;

RAM[0xF5] = 10;

**Observație:** Pentru fiecare subpunct scrieți ce conține memoria RAM la adresele folosite în cod, ce se află în fiecare linie de cache la finalul execuției codului și timpul total de execuție. Puteți scrie timpul necesar fiecărei instrucțiuni (se punctează parțial).